

⑩ 日本国特許庁(JP)

⑪ 特許出願公開

⑫ 公開特許公報(A) 平2-171088

⑬ Int. Cl.³

識別記号

庁内整理番号

⑭ 公開 平成2年(1990)7月2日

H 04 N 5/335
H 01 L 27/146

G

8838-5C

7377-5F H 01 L 27/14

A

審査請求 未請求 請求項の数 1 (全8頁)

⑮ 発明の名称 固体撮像素子

⑯ 特 願 昭63-326529

⑰ 出 願 昭63(1988)12月24日

⑱ 発 明 者 浜 崎 正 治 東京都品川区北品川6丁目7番35号 ソニー株式会社内

⑲ 出 願 人 ソニー株式会社 東京都品川区北品川6丁目7番35号

⑳ 代 理 人 弁理士 小 池 晃 外2名

明細書

1. 発明の名称

固体撮像素子

2. 特許請求の範囲

受光素子とその受光素子からの信号電荷を増幅する増幅手段とその信号電荷をリセットするリセット手段を各画素に有し、それら画素はマトリクス状に配列される固体撮像素子において、

上記リセット手段は、直列接続される2つのスイッチを有し、一方のスイッチは行選択とされ、且つ他方のスイッチは列選択とされて、各画素毎でのリセットが行なえることを特徴とする固体撮像素子。

3. 発明の詳細な説明

(産業上の利用分野)

本発明は各画素がマトリクス状に配列される固体撮像素子に関し、特に、各画素には受光素子、

増幅手段及びリセット手段が設けられ、信号電荷が増幅される内部増幅型の固体撮像素子に関する。

(発明の概要)

本発明は、マトリクス状に配列される各画素に受光素子、増幅手段及びリセット手段が設けられる内部増幅型の固体撮像素子において、そのリセット手段を行選択と列選択用の2つのスイッチを直列接続させて構成して、各画素毎におけるリセットを可能とすることにより、固定パターン雑音の除去や各種の制御が行なえるようにしたものである。

(従来の技術)

撮像素子の高解像度化に伴い、各画素毎に増幅機能をもった内部増幅型の固体撮像素子の研究が行われており、このような技術については、例えば「増幅型固体撮像素子AMI (Amplified MOS Intelligent Imager)」, *テレビジョン学会誌*

特開平2-171088(2)

1075〜1082頁, Vol. 41, No. 11, 1987年にその記載がある。

ここで、簡単に増幅型固体撮像素子の一例（所出AM1）について説明すると、その素子の回路構成は、XYアドレス方式とされ、素子は第7図に一部省略して示すようにマトリクス状に配列された画素を有し、その各画素は受光素子101、垂直スイッチングトランジスタ102、増幅用トランジスタ103及びリセット用のリセットトランジスタ104より構成されている。このマトリクス状に配列された画素からなるイメージ部の周囲には、垂直走査のための第1垂直走査回路105と、リセット用の第2垂直走査回路106と、水平走査のための水平走査回路107が設けられている。水平走査回路107は水平スイッチングトランジスタ108のオン・オフを制御する回路であり、その水平スイッチングトランジスタ108は、ビデオラインSと各垂直信号線の接続を制御するように設けられている。第1垂直走査回路105、第2垂直走査回路106は、それぞれ各

行の垂直スイッチングトランジスタ102、リセットトランジスタ104を制御し、それぞれ各行の画素で共通の制御が行われる。

第8図は、この素子の読み出しの後の状態であり、第1垂直走査回路105によって現る行が選択されているものとする。水平走査回路107からの信号φHに応じて、水平スイッチングトランジスタ108がオン・オフし、順に信号φSが各ビデオラインSに現れる。

（発明が解決しようとする課題）

ところが、上述の回路構成からなる内部増幅型の固体撮像素子では、各画素毎の増幅素子のばらつきに起因する固定パターン雑音(fixed pattern noise)が多く発生し、その解決が求められている。この固定パターン雑音を無くする方法として、外部メモリーによる補正も考えられるが、メモリーを付加する分だけコスト増となり、その消費電力も増加する。

また、上述の固体撮像素子では、各画素のリセ

ット動作が現る行にかかる全部の画素に対して行われる。このため、例えば前述の電子シャッターとして、ライン毎のリセット後に信号電荷の蓄積を行う場合には、1水平ラインの初期側の画素と残り側の画素とは、その蓄積時間が異なってくる（例えば63μsec）ことになって問題となる。また、垂直方向に隣接する画素の信号電荷を合わせるようなフィールド読み出し等の制御も困難となる。

そこで、本発明は、上述の技術的な課題に鑑み、固定パターン雑音を除去、各種の制御が行なえるような固体撮像素子の提供を目的とする。

（課題を解決するための手段）

上述の目的を達成するために、本発明の固体撮像素子は、受光素子とその受光素子からの信号電荷を増幅する増幅手段とその信号電荷をリセットするリセット手段を各画素に有し、それら画素はマトリクス状に配列されるものであって、上記リセット手段は、直列接続される2つのスイッチを

有し、一方のスイッチは行選択とされ、且つ他方のスイッチは列選択とされて、各画素毎のリセットが行なえることを特徴とする。

なお、上記マトリクス状とは、行、列の数が1以上の整数であり、従って、その配列から固体撮像素子は、リニア若しくはエリア型となる。

（作用）

リセット手段を直列接続される行選択のスイッチと列選択のスイッチを用いて構成することで、各画素単独のリセットが可能となる。その結果、信号出力を行った後に、同一画素をリセットさせ、そのリセット後のオフセットレベルをもう一度出力させるような制御によって、ノイズを抑えることができる。また、各画素単独のリセットによって、各種の走査に応じた柔軟なリセットも可能となる。

（実施例）

本発明の好適な実施例を図面を参照しながら説

特開平2-171088(3)

明する。

第1の実施例

本実施例は、その西素の構造がフォトダイオードで発生した光信号電荷をMOSFETのゲートに蓄積して電流増幅を行うタイプの固体画像素子の例であり、2つの直列接続されたMOSトランジスタによって、各画素毎のリセットが行なえる構造を有している。

第1図は、本実施例の固体画像素子の回路構成を示しており、各画素には、受光素子であるフォトダイオード11が設けられ、そのフォトダイオード11の一端子は増幅機能を有したMOSトランジスタ12のゲートに接続されている。このためフォトダイオード11で発生した光信号電荷はMOSトランジスタ12のゲートに蓄積される。そのMOSトランジスタ12には、接地電圧GNDとの間で直列に垂直スイッチングトランジスタ13が接続され、各垂直スイッチングトランジスタ13のゲートには、第1垂直走査回路14から

の垂直ゲート線 V_{G1}, V_{G2}, \dots が各行毎にそれぞれ接続されている。従って、第1垂直走査回路14からの選択信号に基づき成る行にかかる全画素が選択される。上記MOSトランジスタ12のゲートには、さらにリセット手段を構成するように直列接続された2つのMOSトランジスタ1, 2がリセット電圧 V_r との間に設けられている。MOSトランジスタ1は、列選択用のスイッチであり、そのゲートは第2水平走査回路15からの列毎に設けられた列リセット線 $H_{R1}, H_{R2}, \dots, H_{Rn}, \dots$ によってそれぞれ制御される。MOSトランジスタ2は、行選択用のスイッチであり、そのゲートは各行毎に第2垂直走査回路15からの行リセット線 V_{R1}, V_{R2}, \dots によってそれぞれ制御される。従って、例えば n 行 m 列の画素をリセットしようする場合には、行リセット線 V_{R1} と列リセット線 H_{Rm} を同時に選択することで、 n 行 m 列の画素のMOSトランジスタ12のゲートに蓄積された光信号電荷はリセットされることになる。

各画素のMOSトランジスタ12のドレイン側は、列毎に設けられた垂直信号線 $H_{S1}, H_{S2}, \dots, H_{S_{n-1}}, H_{Sn}, \dots$ に接続する。これら各垂直信号線 $H_{S1}, H_{S2}, \dots, H_{Sn}, \dots$ は、水平スイッチングトランジスタ18を介して水平信号線 V_L に接続する。これら水平スイッチングトランジスタ18のゲートは、第1水平走査回路17からの信号が供給され、その信号によって水平スイッチングトランジスタ18が択一的に選択される。上記水平信号線 V_L の終端部には増幅器19が接続し、その増幅器19から出力が取り出される。なお、水平信号線 V_L は1線に限定されず、複数線からなるように構成しても良い。

このような構成からなる固体画像素子は、リセット手段として、直列接続される2つのMOSトランジスタ1, 2を有しており、この2つのMOSトランジスタ1, 2の両方がオンになった時、リセットが行われる。このため、各画素単独のリセット動作が可能となり、高速度電子シャッター動作やフィールド読み出し等の各種の走査に対応

したリセットを行うことができる。また、読み出し動作は、通常のMOS型画像素子と同様に走査することで行うことができるが、第2図に示すような制御を行って、固定パターン雑音を発生するようにすることもできる。

第2図は読み出し時の波形状であり、第 n 行にかかる両素の信号を各列毎に読み出す走査を考える。ここで信号 ϕ_{VG} は、第1垂直走査回路14からの選択信号であり、垂直ゲート線 V_G の ϕ が“H”レベル（高レベル）であり、他の垂直ゲート線は“L”レベル（低レベル）とされる。信号 ϕ_{HS} は、水平スイッチングトランジスタ18を走査する信号であり、順に垂直信号線 $H_{S1}, H_{S2}, \dots, H_{Sn}, \dots$ と選択されて行く。このように走査することで、第 n 行の西素の信号が列毎順に水平信号線 V_L に出力されて行くことになる。

そして、本実施例の固体画像素子では、読み出し方法の一例として、ある画素に関する読み出しの間隔を3分割し、最初の期間 T_a で光信号電荷 Q に固定電圧 V_{fix} 等のばらつきに起因するオフセ

特開平2-171088(4)

ット分 ΔQ が加えられた信号を出力し、次の期間 T_r でリセットをその画素に関して行い、最後の期間 T_b でオフセット分 ΔQ のみを出力する。

このような定差を行うためには、信号 ϕVR を行リセット線 VR 、のみ“H”レベルにし、他の行リセット線を“L”レベルにする。これで第 n 行にかかる画素のMOSトランジスタ2はオンとなる。或る画素に関する信号 ϕHS の立ち上がりから期間 T_a 経過するまでは、水平信号線 VL に $Q + \Delta Q$ の信号が現れる。そして、期間 T_r では、信号 ϕHS の定差に合わせた同一画素に関する列リセット線 $HR_n, HR_{n+1}, HR_{n+2}, \dots$ の1つが選択され、MOSトランジスタ1を時間 T_r だけオンにさせる。その結果、その画素に関してMOSトランジスタ1、2が共にオンになり、期間 T_r で単独の画素のリセットが行われる。そして、リセット終了後、光信号電荷の蓄積の無い状態で、再び信号が読み込まれ、水平信号線 VL にオフセット分 ΔQ のみの信号が現れる。

このようにリセット動作を途中で挟みながら、

画素に関する読み出しの期間を3分割して、 $Q + \Delta Q$ と ΔQ の2つの出力を行って、 $(Q + \Delta Q) - \Delta Q$ の差信号を得ることで、外部メモリーを不要としてオフセットの無い光信号電荷 ϕ の出力信号を得ることができる。また、この方法によって、画素内の増幅器の飽和波ノイズの低減も差し引くことが可能となる。

第2の実施例

本実施例は第1の実施例と同じ内部増幅型の固体撮像素子であるが、フォトダイオードからの電荷がフローティングなウェル領域に蓄積され、そのウェル領域に蓄積される電荷によってMOSFETのゲート直下の表面電荷を変動させて、光信号電荷の増幅を行うタイプの画素を有している。そして、そのリセット手段としては、直列接続される2つのMOSトランジスタを有し、画素単独でのリセットが行なえるものである。

まず、その回路構成は、第3図に示すような構成とされ、各画素では、受光素子であるフォト

ダイオード31が増幅機能を有したMOSトランジスタ32のゲート下部に形成され、そのフォトダイオード31に発生する光信号電荷によって、MOSトランジスタ32の表面電荷が変動され、その変動に応じた増幅が行われる。そのMOSトランジスタ32のドレインには、電源電圧 V_{DD} が供給され、MOSトランジスタ32のゲートには、行選択用に第1垂直走査回路34からの垂直ゲート線 $VO_n, V_{G_{n+1}}, \dots$ が各行毎にそれぞれ接続されている。さらにMOSトランジスタ32のソースは列毎に設けられた垂直信号線 $HS_n, HS_{n+1}, HS_{n+2}, \dots$ に接続する。上記フォトダイオード31の地端には、接地電圧 GND との間で容量33が形成され、その容量33とダイオード31の間のノードから、リセット手段を構成するように直列接続された2つのMOSトランジスタ21、22がリセット電圧 V_r との間に設けられている。MOSトランジスタ21は、列選択用のスイッチであり、そのゲートは第2水平走査回路35からの列毎に設けられた列リセット線 $HR_n, HR_{n+1},$

HR_{n+2}, \dots によってそれぞれ制御される。MOSトランジスタ22は、行選択用のスイッチであり、そのゲートは各行毎に第2垂直走査回路35からの行リセット線 VR_n, VR_{n+1}, \dots によってそれぞれ制御される。なお、MOSトランジスタ21、22の機能は、第1の実施例におけるMOSトランジスタ1、2と同様であり、これら一対のMOSトランジスタ21、22によって、画素単独でのリセットが可能となる。

上記各垂直信号線 $HS_n, HS_{n+1}, HS_{n+2}, \dots$ は、水平スイッチングトランジスタ38を介して水平信号線 VL に接続する。これら水平スイッチングトランジスタ38のゲートは、第1水平走査回路37からの信号が供給され、その信号によって水平スイッチングトランジスタ38が一時的に選択される。上記水平信号線 VL の終端部には増幅器39が接続し、その増幅器39から出力が取り出される。なお、水平信号線 VL は1線に限定されず、複数線からなるように構成しても良い。

ここで、第4図～第6図を参照しながら、各

特開平2-171088(5)

案の構造について説明する。第4図は素子の断面図であり、 p 型のシリコン基板41上に n 型のウェル領域42が形成され、さらにその n 型のウェル領域42に囲まれて p 型のウェル領域43が形成される。この p 型のウェル領域43の表面には、 n^+ 型の不純物拡散領域からなるソース領域44とドレイン領域45が離隔して形成され、それらソース領域44とドレイン領域45の間の p 型のウェル領域43上には、絶縁膜46を介してゲート電極層47が形成されている。ソース領域44は開口されてアルミ配線層48が形成され、このアルミ配線層48が第3図の垂直信号線H S₁、H S₂、…、H S_n、…として機能する。ドレイン領域45には電源電圧 V_{DD} が供給される。また、ゲート電極層47は、第3図の垂直ゲート線V G₁、V G₂、…として機能する。なお、図示を省略するが、リセット手段は p 型のウェル領域43に接続するように形成される。

このような素子断面構造を有する本実施例の固体撮像素子は、第5図に示すように、ゲート電極

層47の下のポテンシャル・プロファイルは、ゲート電極層47が選択されていない時に、すなわち“L”レベルである時に、実線P₁のような分布となる。ポテンシャルの極小点 p が形成される。従って、その極小点 s より低い電位で発生したフォトンが p 型のウェル領域43に蓄積される。次に、上記ゲート電極層47が選択されている時すなわちゲートが“H”レベルである時は、破線P₂のようなポテンシャル分布となり、更に光信号電荷の蓄積がある時は、一点鎖線P₃のようなポテンシャル分布となる。この時表面のチャンネルにおける電荷 Q_c (電子)は極大点 s に蓄積されるホールミラー電荷であって、前記蓄積されたフォトンの壁に依存してチャンネルのコンダクタンスが変化することになる。

また、第6図に示すように、ゲートの直下でない断面においても、実線P₁に示すようなポテンシャル・プロファイルがあり、図中極小値 s より低い部分では、フォトンが蓄められる。このためゲート直下の領域以外でも、光強度が得ら

れることになる。

このような素子の構造を有してなる本実施例の固体撮像素子は、第1の実施例の固体撮像素子と同様に、リセット手段として、直列接続される2つのMOSトランジスタ21、22を有しており、この2つのMOSトランジスタ21、22の両方がオンになった時、リセットが行われる。このため、各画素単独のリセット動作が可能となり、高速な電子シャッター動作やワールド読み出し等の各種の走査に対応したリセットを行うことができる。また、読み出し動作は、通常のMOS型撮像素子と同様に走査することで行うことができ、更に第1の実施例と同様に、第2図に示した制御を行って、固定パターン雑音を除去するようにすることもできる。

〔発明の効果〕

本発明の固体撮像素子は、上述のように、そのリセット手段が直列接続される行及び列選択用の2つのスイッチよりなるため、画素毎のリセット

が可能となる。このため、1つの画素の読み出し動作中にリセットを行って、外部メモリを必要としない信号のオフセット分の除去や、素子の各種の走査に対応した柔軟なリセットを行わせることができる。

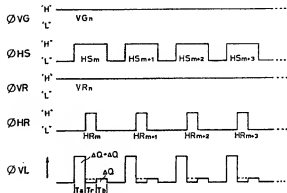
4. 図面の簡単な説明

第1図は本発明の固体撮像素子の一例の回路構成を示す回路図、第2図はその読み出し動作の一例を示す波形図、第3図は本発明の固体撮像素子の他の一例の回路構成を示す回路図、第4図はその他の一例の素子構造の要部断面図、第5図は第4図の素子のV-V線断面に沿ったポテンシャル分布図、第6図は第4図の素子のV-V線断面に沿ったポテンシャル分布図、第7図は従来の固体撮像素子の一例の回路図、第8図はその従来の固体撮像素子の一例の読み出し動作を説明するための波形図である。

1、2、21、22…MOSトランジスタ

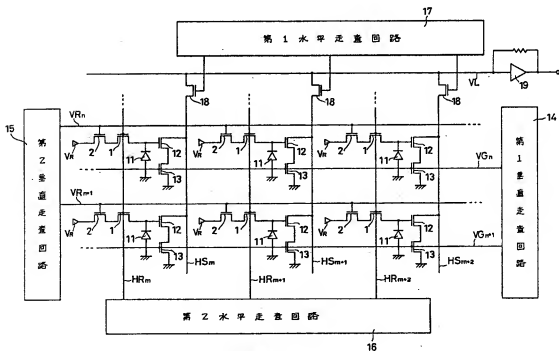
特開平2-171088(6)

- 1 1. 3 1…フォトダイオード
- 1 2. 3 2…MOSトランジスタ
- 1 3…垂直スイッチングトランジスタ
- 1 4. 3 4…第1垂直走査回路
- 1 5. 3 5…第2垂直走査回路
- 1 6. 3 6…第2水平走査回路
- 1 7. 3 7…第1水平走査回路
- 1 8. 3 8…水平スイッチングトランジスタ
- V L…水平信号線



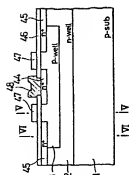
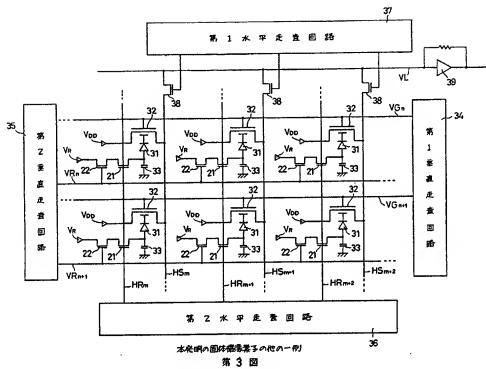
特許出願人 ソニー株式会社
代理人弁理士 小池 晃（他2名）

タイムチャート
第 2 図

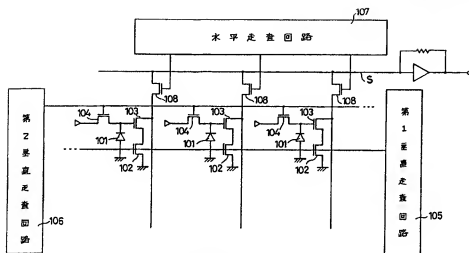


第 1 図

特開平2-171088(7)



特開平2-171088(8)



佐采例
第7圖



第8圖